

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2001-297534  
(P2001-297534A)

(43) 公開日 平成13年10月26日(2001. 10. 26)

(51) Int.Cl.<sup>7</sup>

F I  
G 1 1 B 20/10 3 2 1 Z  
H 0 3 G 3/20 A  
H 0 3 M 1/18

### テーマコード（参考）

審査請求 未請求 請求項の数30 O.L (全 13 頁)

(21)出願番号 特願2001-36767(P2001-36767)  
(22)出願日 平成13年2月14日(2001.2.14)  
(31)優先権主張番号 09/503949  
(32)優先日 平成12年2月14日(2000.2.14)  
(33)優先権主張国 米国(U.S.)

(71) 出願人 591236448  
エスティーマイクロエレクトロニクス, イ  
ンコーポレイテッド  
S T M i c r o e l e c t r o n i c s,  
I n c  
アメリカ合衆国, テキサス 75006,  
カーロルトン, エレクトロニクス ドラ  
イブ 1310

(72) 発明者 ヘイカン オズデミール  
アメリカ合衆国, カリフォルニア  
95128, サン ノゼ, ウッドローン  
アベニュー 1245

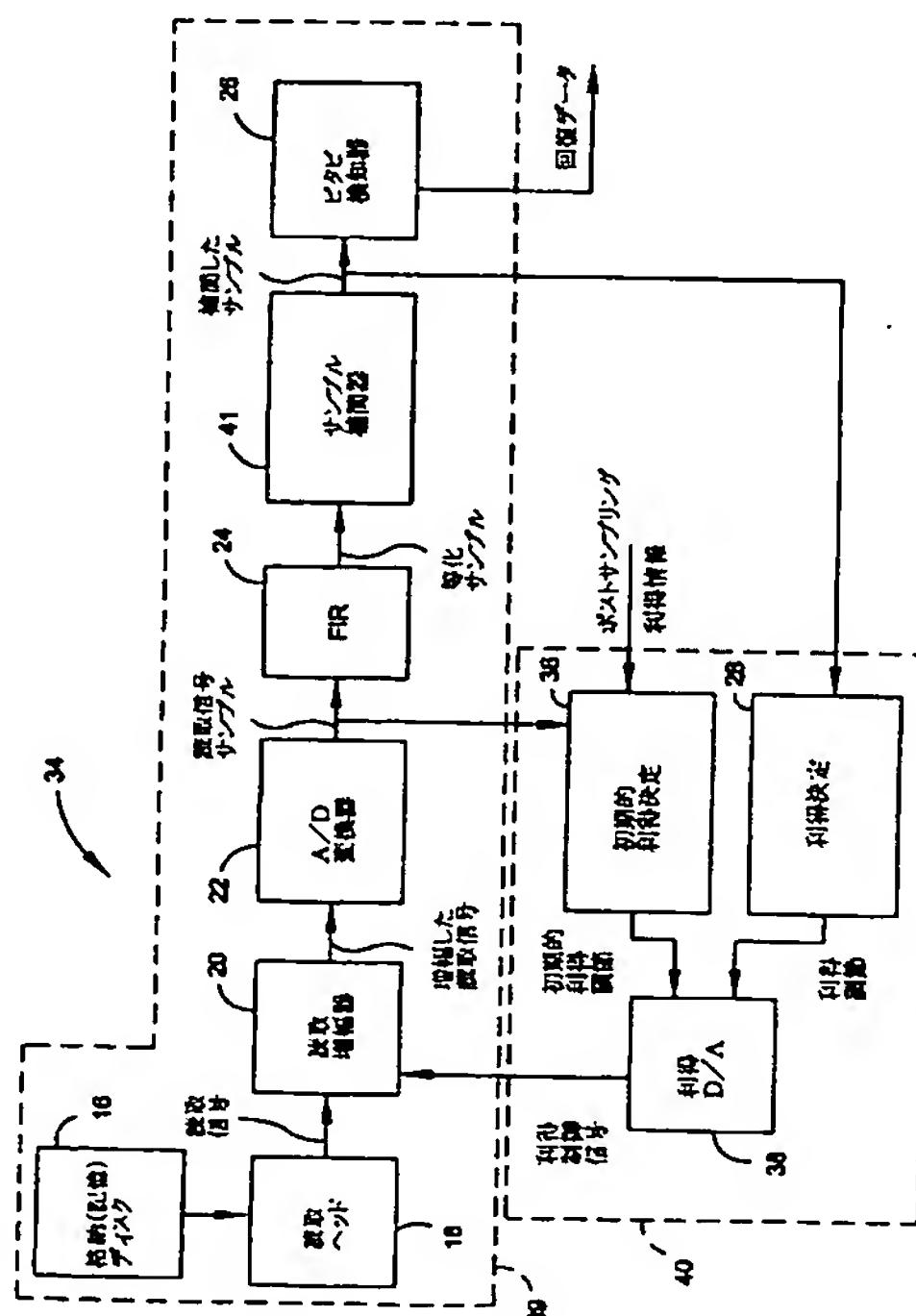
(74) 代理人 100057793  
弁理士 小橋 一男 (外1名)

(54) 【発明の名称】 増幅した信号のサンプルの和に基づいて増幅器の利得を制御する回路及び方法

(57) 【要約】

【課題】 増幅した信号のサンプルの和に基づいて増幅器の利得を制御する技術を提供する。

【解決手段】 本発明回路は情報信号を増幅する増幅器の利得を制御する。本回路は、増幅された情報信号の第一及び第二サンプルを格納するバッファ、及び該バッファへ結合されている利得決定回路を有している。該利得決定回路は第一及び第二サンプルの和に基づいて利得調節を発生し、該利得調節は、増幅器をして、増幅された情報信号の振幅を所定の振幅へ又はそれに向かって変化させる。このような回路は、ディスクドライブ讀取チャンネルにおける讀取信号増幅器に対する初期的粗利得調節を与えることが可能である。従来の讀取チャンネルと比較して、この初期的調節はデータセクタの始めにおいて増幅器の利得のより迅速な安定化を促進させる。このより迅速な安定化は、データセクタがより短いプリアンブルを有することを可能とし、従ってディスクがより高いデータ格納（記憶）密度を有することを可能とする。



## 【特許請求の範囲】

【請求項1】 情報信号を増幅するために動作可能な増幅器の利得を制御する回路において、前記増幅した情報信号の第一及び第二サンプルを格納すべく動作可能なバッファ、前記バッファへ結合されており、前記第一及び第二サンプルの和に基づいて利得調節を発生すべく動作可能な利得決定回路、を有しており、前記利得調節が前記増幅器をして前記増幅された情報信号の振幅を所定の振幅へ又はそれに向かって変化させるべく動作可能であることを特徴とする回路。

【請求項2】 請求項1において、前記利得決定回路が、前記サンプルのうちの1つ及び他方のサンプルと所定のスケールファクタの積の和に基づいて前記利得調節を発生すべく動作可能であることを特徴とする回路。

【請求項3】 請求項1において、前記利得決定回路が、前記サンプルのうちのより小さいもの及びより大きなサンプルと所定のスケールファクタとの積の和に基づいて前記利得調節を発生すべく動作可能であることを特徴とする回路。

【請求項4】 請求項1において、前記利得決定回路が、前記第一及び第二サンプルのスケーリングした和に基づいて前記利得調節を発生すべく動作可能であることを特徴とする回路。

【請求項5】 請求項1において、前記利得決定回路が、前記サンプルのうちの1つと前記情報信号の所定の点との間の位相差に基づくスケールファクタと前記第一及び第二サンプルの和の積に基づいて前記利得調節を発生すべく動作可能であることを特徴とする回路。

【請求項6】 請求項1において、前記利得調節が前記第一及び第二サンプルの和に対する前記所定の振幅の比に対して比例していることを特徴とする回路。

【請求項7】 請求項1において、前記利得決定回路が、前記第一及び第二サンプルの和に基づいて第一利得コンポーネント信号を発生すべく動作可能な第一利得コンポーネント回路、前記増幅した情報信号によって経験されたポストサンプリング利得に基づいて第二利得コンポーネント信号を発生すべく動作可能な第二利得コンポーネント回路、前記第一及び第二利得コンポーネント回路へ結合されており、前記第一及び第二利得コンポーネント信号から前記利得調節を発生すべく動作可能な利得調節発生器、を有していることを特徴とする回路。

【請求項8】 請求項1において、前記利得決定回路が、第一利得コンポーネント値を格納し且つ前記第一及び第二サンプルの和に対応する格納されている第一利得コンポーネント値を供給すべく動作可能な第一利得コンポーネントルックアップメモリ、

10

第二利得コンポーネント値を格納し且つ前記増幅した情報信号によって経験されたポストサンプリング利得に対応する格納されている第二利得コンポーネント値を供給すべく動作可能な第二利得コンポーネントルックアップメモリ、

前記第一及び第二利得コンポーネントルックアップテーブルへ結合されており、前記第一及び第二利得コンポーネント値から前記利得調節を発生すべく動作可能な利得調節発生器、を有していることを特徴とする回路。

20

【請求項9】 請求項1において、前記利得決定回路が前記利得調節を対数的にスケーリングすべく動作可能であることを特徴とする回路。

【請求項10】 請求項1において、前記利得決定回路が、前記利得調節を直線的にスケーリングすべく動作可能であることを特徴とする回路。

【請求項11】 請求項1において、前記情報信号が周期的信号を有しており、且つ前記第一サンプルが前記周期的信号の90°又はほぼ90°だけ前記第二サンプルをリードすることを特徴とする回路。

30

【請求項12】 情報信号を増幅すべく動作可能な増幅器の利得を制御する回路において、前記増幅した情報信号の第一及び第二生サンプルを受取り且つそれから夫々の第一及び第二フィルタ済サンプルを発生すべく動作可能なフィルタ、前記フィルタへ結合されており、前記第一及び第二サンプルの和に基づいて利得調節を発生すべく動作可能な利得決定回路、を有しており、前記利得調節が前記増幅した情報信号の振幅を所定の振幅へ又はそれに向かって変化させるべく動作可能であることを特徴とする回路。

40

【請求項13】 請求項12において、前記情報信号が周期的信号を有しており、且つ前記フィルタが、前記増幅した情報信号の周期の半分又はほぼ半分だけ互いに離隔されている第一生サンプルを受取り、前記信号の周期の半分又はほぼ半分だけ互いに離隔されており且つ、夫々、前記信号の4分の1周期又はほぼ4分の1周期だけ前記第一サンプルから離隔されている第二生サンプルを受取り、前記第一生サンプルの平均に等しい前記第一フィルタ済サンプルを発生し、

40

前記第二生サンプルの平均に等しい前記第二フィルタ済サンプルを発生すべく、動作可能であることを特徴とする回路。

【請求項14】 読取回路において、調節可能な利得を有しており、且つプリアンブル部分とデータ部分とを有している読み取り信号を受取り且つ増幅すべく動作可能な増幅器、前記増幅器へ結合されており増幅された読み取り信号のサンプルを発生すべく動作可能なアナログ・デジタル変換器、

50

前記増幅器及び前記変換器へ結合されており、前記読み取り

信号のデータ部分期間中に前記増幅器の利得を制御すべく動作可能な第一利得決定回路、前記増幅器及び前記変換器へ結合されており、前記増幅した読み取り信号の第一及び第二サンプルの和に応答して前記読み取り信号のプリアンブル部分期間中に前記増幅器の利得を制御すべく動作可能な第二利得決定回路、を有していることを特徴とする読み取り回路。

【請求項15】 請求項14において、前記第二利得決定回路が、前記第一利得決定回路が前記利得を制御する前に、前記増幅器の利得を制御すべく動作可能であることを特徴とする読み取り回路。

【請求項16】 請求項14において、前記第二利得決定回路が、前記第一利得決定回路が前記増幅器の利得を制御する前に、前記増幅器利得の粗調節を与えるべく動作可能であることを特徴とする読み取り回路。

【請求項17】 請求項14において、更に、前記変換器へ結合されており、利得を有しており、前記読み取り信号のサンプルを処理すべく動作可能な有限インパルス応答フィルタを有しており、前記第二利得決定回路が、更に、前記フィルタの利得に応答して前記増幅器の利得を制御すべく動作可能であることを特徴とする読み取り回路。

【請求項18】 ディスクドライブシステムにおいて、一表面を具備しており且つプリアンブル及びデータ値を格納すべく動作可能なデータ格納ディスク、前記ディスクへ結合されており且つ前記ディスクを回転すべく動作可能なモータ、プリアンブルとそれに続くデータ値とを包含している読み取り信号を発生すべく動作可能な読み取りヘッド、前記読み取りヘッドを前記ディスクの前記表面上にわたって移動させるべく動作可能な読み取りヘッド位置決め組立体、前記読み取りヘッドへ結合されている読み取り回路、を有しており、前記読み取り回路が、

調節可能な利得を有しており且つプリアンブル部分とデータ部分とを有している読み取り信号を受取り且つ増幅すべく動作可能な増幅器、

前記増幅器へ結合されており、増幅された読み取り信号のサンプルを発生すべく動作可能なアナログ・デジタル変換器、

前記増幅器及び前記変換器へ結合されており、前記読み取り信号のデータ部分期間中に前記増幅器の利得を制御すべく動作可能な第一利得決定回路、

前記増幅器及び前記変換器へ結合されており、増幅された読み取り信号の第一及び第二サンプルの和に応答して前記読み取り信号のプリアンブル部分期間中に前記増幅器の利得を制御すべく動作可能な第二利得決定回路、を有していることを特徴とするディスクドライブシステム。

【請求項19】 振幅を有している信号の第一及び第二サンプルを発生し、

前記第一及び第二サンプルの和に応答して前記信号の振幅を制御する、ことを特徴とする方法。

【請求項20】 請求項19において、前記制御する場合に、前記サンプルのうちの1つ及び他方のサンプルと所定のスケールファクタとの積の和に応答して前記信号の振幅を制御することを特徴とする方法。

【請求項21】 請求項19において、前記制御する場合に、前記サンプルのうちの小さいもの及びより大きなサンプルと所定のスケールファクタとの積の和に応答して前記信号の振幅を制御することを特徴とする方法。

【請求項22】 請求項19において、前記制御する場合に、前記第一及び第二サンプルのスケーリングした和に応答して前記信号の振幅を制御することを特徴とする方法。

【請求項23】 請求項19において、前記制御する場合に、前記第一及び第二サンプルの和及び前記サンプルのうちの1つと前記情報信号の所定の点との間の位相差に基づいているスケールファクタの積に応答して前記信号の振幅を制御することを特徴とする方法。

【請求項24】 請求項19において、前記制御する場合に、前記信号の振幅を所定の振幅へ又はそれに向かって変化させることを特徴とする方法。

【請求項25】 請求項19において、更に、前記信号の周期の半分又はほぼ半分だけ互いに離隔されている第一生サンプルを受取り、前記信号の周期の半分又はほぼ半分だけ互いに離隔されており且つ、夫々、前記信号の4分の1周期又はほぼ4分の1周期だけ前記第一サンプルから離隔されている第二生サンプルを受取り、前記第一生サンプルの平均に等しい前記第一サンプルを発生し、

前記第二生サンプルの平均に等しい前記第二サンプルを発生する、ことを特徴とする方法。

【請求項26】 請求項19において、前記制御する場合に、前記第一及び第二サンプルを発生した後に、前記信号に対して適用した所定の振幅変化に応答して前記信号の振幅を制御することを特徴とする方法。

【請求項27】 請求項19において、前記制御する場合に、

前記第一及び第二サンプルの和に対応する値をメモリから検索し、

前記検索した値に応答して前記信号の振幅を制御する、ことを特徴とする方法。

【請求項28】 請求項19において、前記制御する場合に、前記信号の振幅を指數的に制御することを特徴とする方法。

【請求項29】 請求項19において、前記制御する場合に、前記信号の振幅を直線的に制御することを特徴とする方法。

【請求項30】 請求項19において、前記信号が周期を有しており、且つ前記発生する場合に、前記第二サンプルを発生する前に前記振幅の4分の1又はほぼ4分の

1において前記第一サンプルを発生する、ことを特徴とする方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、大略、電子回路に関するものであって、更に詳細には、増幅した信号サンプルの和に基づいて増幅器の利得を制御する回路及び方法に関するものである。1つの適用例においては、本発明に基づく回路は、ディスクドライブ読取チャンネルにおける読取信号増幅器に対して初期的利得調節を与える。この初期的調節は、増幅器利得調節回路がディスクデータセクタの始めにおいて適切な増幅器利得をより迅速に決定し且つ設定することを可能とする。このより迅速な決定及び設定は、データセクタプリアンブルの長さを減少させることを可能とし、従って、ディスクデータ格納密度を増加させることを可能とする。更に、サンプルクロックとプリアンブルシヌソイドとの間の位相角度はデータセクタの始めにおいては不知の場合があるので、本回路はこの位相角度とは独立的に初期的利得調節を決定することが可能である。

【0002】本発明は、2000年2月14日付で出願した「増幅器の利得を制御する回路及び方法 (A CIRCUIT AND METHOD FOR CONTROLLING THE GAIN OF AN AMPLIFIER)」という名称の米国特許出願第09/503,399号、代理人ドケット番号99-S-188(1678-19)及びそれに基づいて本日同日付で出願される特許出願(整理番号ST718)に記載されている発明に関連しており、それらの記載内容を引用によって本明細書に取り込む。

【0003】

【従来の技術】図1は、読取経路12と利得制御回路14とを有している従来のディスクドライブ読取チャンネル10のブロック図である。読取経路12はデータを格納即ち記憶するためのディスク16と、ディスク16からデータを読み取り且つ対応する読取信号を発生する読取ヘッド18と、該読取信号を増幅するための信号制御型増幅器20と、増幅した読取信号をサンプリングし且つデジタル化するアナログ・デジタル(A/D)変換器22と、デジタルサンプルを等化させる有限インパルス応答(FIR)フィルタ24と、等化されたサンプルから読取データを回復するビタビ(Viterbi)検知器26とを有している。单一のA/D変換器22を有するものとして示してあるが、読取経路12は、公知の如く、2個又はそれ以上の並列A/D変換器を有することが可能である。利得制御回路14は、デジタル利得制御信号を発生するための利得決定回路28と、該デジタル利得制御信号をアナログ利得制御信号(電圧又は電流)へ変換するためのデジタル・アナログ変換器(D/A)30とを有している。

【0004】図2は図1の増幅器20によって発生され且つピーク振幅Aを有しているプリアンブルシヌソイド即ちプリアンブル正弦曲線の概略図である。プリアンブルはディスク16の各データセクタ(不図示)の始めにおいて格納即ち記憶されるビットパターンである。このビットパターンは、読取ヘッド18がプリアンブルを読み取っている間、ヘッド18からの読取信号及び増幅器20からの増幅された読取信号がシヌソイド(正弦曲線)又は近似的なシヌソイドであるように指定される。以下に説明するように、読取チャンネル10はヘッド18が

10 プリアンブルに続くデータを読み取るための準備としてそれ自身較正するためにプルアンブルを使用する。プリアンブルはそうでなければデータを格納(記憶)するために使用することが可能な格納(記憶)位置を占有するので、通常、プルアンブルは可及的に短いものであることが所望される。然しながら、プルアンブルが短すぎる場合には、読取チャンネル10が不適切に較正を行う場合があり、従って格納即ち記憶されているデータを誤って読み取る場合がある。従って、読取チャンネル10のキャリブレーション(較正)時間は、典型的に、プリアンブルの最小長さを制限する。

【0005】図1及び2を参照すると、利得制御回路14はFIRフィルタ24からのプリアンブルシヌソイドの等化したサンプルを使用して増幅器20の利得をキャリブレーション即ち較正する。ビタビ検知器26は、所定の値の範囲内にあるサンプルを処理するように構成されており、この範囲は所定の最大値と所定の最小値とを有している。更に、該プリアンブルシヌソイドの正及び負のピークのFIRサンプルは、夫々、最大及び最小サンプル値に対応している。従って、ヘッド18がプリアンブルを読み取っている間に、利得制御回路14はフィードバック(増幅器20と、A/D変換器22と、FIR24と、制御回路14とがフィードバックループを形成している)を使用して増幅器20の利得を調節し、従ってFIR24の出力において、正のピーク及び負のピークのサンプルは、ヘッド18がデータの読み取を開始する前に、夫々、所定の最大値及び最小値と等しい。

【0006】然しながら、利得制御回路14は、しばしば、ディスク16の記憶(格納)密度を制限する。利得調節フィードバックループが安定であり且つ増幅器20の利得を微細に調節することが可能であることを確保するために、回路14は、典型的に、比較的長い時定数を有しており、即ち比較的ゆっくりと動作する。従って、回路14は、しばしば、増幅器20の利得が許容可能なレベルへ安定する前に、FIR24からの比較的多数のプリアンブル・ピークサンプルを処理せねばならない。その結果、読取ヘッド18がプリアンブルに続くデータの読み取を開始する前に、増幅器の利得が許容可能なレベルへ安定化することを確保するために回路14はディスク16が各データセクタにおいて比較的長いプリアンブル

ルを格納即ち記憶することを必要とする。然しながら、このような条件は各データセクタが記憶即ち格納することが可能なデータビット数を制限し、従ってディスク16が記憶即ち格納することが可能なデータビットの総数を制限することとなる。

#### 【0007】

【発明が解決しようとする課題】本発明は、以上の点に鑑みなされたものであって、上述した如き従来技術の欠点を解消し、増幅した信号のサンプルの和に基づいて増幅器の利得を制御する回路及び方法を提供すること目的とする。本発明の別の目的とするところは、記録媒体上に記録されるプリアンブルを短くし、記憶密度を増加させる技術を提供することである。

#### 【0008】

【課題を解決するための手段】本発明の1つの側面によれば、情報信号を増幅する増幅器の利得を制御する回路が提供される。本回路は、増幅された情報信号の第一及び第二サンプルを格納するバッファ、及び該バッファに結合されている利得決定回路を有している。該利得決定回路は、第一及び第二サンプルの和に基づいて利得調節を発生し、且つ該利得調節は、増幅器をして、増幅された情報の振幅を所定の振幅へ又はそれに向かって変化させる。

【0009】このような回路は、ディスクドライブ読取チャンネルにおける読取信号増幅器に対して初期的な粗利得調節を与えることが可能である。従来の読取チャンネルと比較して、この初期的調節はデータセクタの始めにおいて増幅器利得のより迅速な安定化を促進させる。このより迅速な安定化は、データセクタがより短いプリアンブルを有することを可能とし、従ってディスクがより高いデータ格納（記憶）密度を有することを可能とする。更に、サンプルクロックとプリアブルシヌソイドとの間の位相角度はデータセクタの始めにおいては不知である場合があるので、本回路はこの位相角度とは独立的に初期的利得調節を決定することが可能である。

#### 【0010】

【発明の実施の形態】図3は本発明の1実施例に基づく読取チャンネル34の概略ブロック図である。読取チャンネル34は図1の読取チャンネル10と類似しており、従って図1及び3において同様の参照番号は同様のコンポーネントを参照している。然しながら、読取チャンネル10と異なり、読取チャンネル34は初期的利得決定回路36を有しており、それは従来のD/A変換器38を介して、読取増幅器20に対して初期的な粗利得調節を供給する。読取チャンネル10と比較して、この初期的な調節は各データセクタの始めにおいての増幅器の利得のより迅速な安定化を促進させる。このより迅速な安定化は、各データセクタがより短いプリアンブルを格納することを可能とし、従ってディスク16がより高いデータ記憶（格納）密度を有することを可能とする。

【0011】より詳細に説明すると、読取チャンネル34は読取経路39を有しており、読取経路39は、デジタルタイミング回復を使用しており、従ってFIRフィルタ24とビタビ検知器26との間に結合されているサンプル補間器41を有しているという点を除いて、図1の読取経路12と類似している。簡単に説明すると、デジタルタイミング回復は、A/Dサンプリングクロック（不図示）と読取信号との間の位相角を決定する技術である。インタポレータ即ち補間器41はこの位相角に基づいてサンプル値を調節する。デジタルタイミング回復及び補間器41は、1999年8月31日付で出願された「ボーレイトサンプリングを使用したデジタルタイミング回復（Digital Timing Recovery Using Baud Rate Sampling）」という名称の米国特許出願第09/387,146号、2000年2月14日付で出願された「サンプルクロックとサンプルされた信号との間の位相差を決定する回路及び方法（Circuit And Method For Determining The Phase Difference Between A Sample Clock And A Sampled Signal）」という名称の米国特許出願第09/503,453号、代理人ドケット番号99-S-163(1678-15)及びそれに基づいて本日同日付で出願される特許出願（整理番号ST721）、2000年2月14日付で出願された「直線近似によるサンプルクロックとサンプルされた信号との間の位相差を決定する回路及び方法（Circuit And Method For Determining The Phase Difference Between A Sample Clock And A Sampled Signal By Linear Approximation）」という名称の米国特許出願第09/503,929号、代理人ドケット番号99-S-164(1678-16)及びそれに基づいて本日同日付で出願される特許出願（整理番号ST719）に記載されており、それらを引用によって本明細書に取込む。読取チャンネル34は、更に、利得制御回路40を有しており、それは、本発明の1実施例によれば、利得回路28と、初期的利得回路36と、D/A変換器38とを有している。

【0012】利得決定回路28は補間器41からのサンプルをモニタし且つ、ヘッド18が読取信号のデータ部分を読取っている間に、増幅器20に対する1つ又はそれ以上の微細利得調節を決定し且つ供給することによって該サンプルの大きさを所定の範囲内に設定し且つ維持する。幾つかの実施例においては、回路28は、又、ヘッド18がプリアンブルシヌソイドを読取っている間にこれらの機能を実施する。

【0013】然しながら、初期的利得決定回路36はA/D変換器22からのサンプルをモニタし、且つ、ヘッ

ド18がプリアンブルシヌソイドを読取っている間に、増幅器20に対して初期的な粗利得調節を決定し且つ供給することによって、これらのサンプルの大きさを所定の範囲へ向かって又は所定の範囲内へ駆動する。回路36は補間されたサンプルの代わりにA/Dサンプルをモニタする。何故ならば、A/D変換器22は、典型的に、補間器41よりも一層迅速にサンプルを発生するからである。従って、回路36は初期的な利得調節をより迅速に且つそうでない場合に必要とされるよりもより短いプリアンブルで供給することが可能である。1実施例においては、回路36は、サンプルクロック（不図示）とプリアンブルシヌソイドとの間の位相とは独立的に初期的利得調節を決定する。別の実施例においては、回路36は、利得回路28が微細利得調節を供給する前に、初期的利得調節を増幅器20へ供給する。更に別の実施例においては、回路36はその初期的利得調節の決定を、A/Dサンプルばかりでなく、該サンプルがA/D変換器22を去った後読取経路14内にサンプルによって経験される利得にも基づいて行う。例えば、1実施例においては、初期的利得調節はビタビ検知器26の入力において補間されたサンプルの初期的な大きさをより正確に設定するためにFIRフィルタ24の利得を考慮する。

【0014】D/A変換器38は、回路28からの微細利得調節及び回路34からの粗利得調節をアナログ利得制御信号（電圧又は電流）の夫々の部分へ変換し、該アナログ利得制御信号は増幅器20の利得を夫々の利得調節に対応するレベルへ設定する。1実施例においては、該利得制御信号は対数的に又はそうでない場合には指数的にスケーリングされる。別の実施例においては、該利得制御信号は線形的にスケーリングされる。スケーリングのタイプは増幅器20の条件に依存し、且つ回路28及び36、変換器38又はその他の回路（不図示）が従来の態様でそのスケーリングを実施することが可能である。

【0015】図3を参照すると、読取ヘッド18がデータセクタの始めにおいてプリアンブルシヌソイドを読取っている間に、初期的利得決定回路36は、A/Dサンプルの大きさに基づいて、且つ、幾つかの実施例においては、読取経路39内の予定されたポストサンプリング（即ち、サンプリングの後）利得に基づいて初期的な粗利得調節を決定する。回路36は、D/A変換器38を介して増幅器20へ初期的な調節を与え、次いで、ヘッド18が次のデータセクタの読取を開始するまで不活性状態となる。この初期的調節は補間したサンプルの大きさを所望の範囲に向かってかなりの量移動させ、且つ、幾つかの場合においては、所望の範囲内に移動させる。その後に、利得回路28が活性状態となり且つ一連の微細利得調節を介して、補間したサンプルの大きさを所望の範囲内へ移動させ、及び／又は、ヘッド18がセクタ

内のデータを読取っている間に、所望の範囲内に維持させる。

【0016】図4は本発明の1実施例に基づく図3の初期的利得決定回路36の概略ブロック図である。回路36は、A/D変換器22（図3）からのサンプルを受取り且つ格納するためのバッファ42と、該サンプルをフィルタするためのフィルタ44と、初期的利得調節を決定するための初期的利得調節回路46とを有している。回路46は、プリアンブルシヌソイドA/Dサンプルの大きさから初期的利得調節の第一コンポーネント（成分）を派生するための回路48と、読取信号によって経験されるポストサンプリング利得からの初期的利得調節の第二コンポーネントを派生するための回路50と、該第一及び第二コンポーネントから初期的利得調節を発生するための回路52とを有している。その他の実施例においては、フィルタ44が直接的にサンプルを受取るようバッファ42を省略することが可能であり、又は回路46が直接的にサンプルを受取るようにバッファ42とフィルタ44の両方を省略することが可能である。更にその他の実施例においては、回路46がバッファ動作又はフィルタ動作を実施することが可能である。更に、幾つかの実施例においては、回路46はポストサンプリング利得を考慮することは必要ではなく、従って、回路50を省略することが可能である。このような実施例においては、回路48は初期的利得調節を発生することが可能であり、従って発生器52も省略することが可能である。

【0017】図4を参照して、回路36及びその副回路の動作についてより詳細に説明する。バッファ42はA/D変換器22（図3）からの読取信号の第一及び第二生サンプルを受取り且つ格納する。1実施例においては、バッファ42は、サンプルクロック（不図示）の8個の夫々の上昇エッジに対応する8個の第一生サンプルを受取り、且つサンプルクロックの8個の夫々の下降エッジに対応している8個の第二生サンプルを受取る。单一のA/D変換器22から第一及び第二生サンプルを受取るものとして説明するが、バッファ42はA/D変換器22から第一生サンプルを受取り且つ第二A/D変換器（不図示）から第二生サンプルを受取ることが可能である。

【0018】フィルタ44はバッファ40から第一及び第二生サンプルを受取り且つ該生サンプルをフィルタして第一フィルタ済サンプル及び第二フィルタ済サンプルを発生する。1実施例においては、フィルタ44は第一フィルタ済サンプルを第一生サンプルの平均と等しく設定し、且つ第二フィルタ済サンプルを第二生サンプルの平均と等しく設定する。この平均化は典型的に、読取信号上に重畠されるノイズの殆ど又全てを除去する。

【0019】回路46は第一及び第二フィルタ済サンプルの大きさに基づいて初期的利得調節を決定する。特

に、回路48は第一及び第二フィルタ済サンプルの大きさが与えられた場合に増幅器20の利得が変化されるべき利得に基づいて初期的利得調節の第一コンポーネントを決定する。この決定の詳細については図5及び6を参照して後に説明する。回路50はポストサンプリング利得を考慮に入れるためにどのような係数で第一コンポーネントをスケーリングすることが必要であるかに基づいて初期的利得調節の第二コンポーネントを決定する。例えば、図3を参照して、サンプル補間器41の出力における所望の最大サンプル大きさがMであり、且つ回路48がA/D変換器22の出力における最大サンプル大きさが2Mであることを決定するものと仮定する。従って、回路48は増幅器20の利得を半分だけ減少させるために第一コンポーネントを発生し、従って、A/D変換器22の出力における最大サンプル大きさは、その後に、所望の大きさMとなる。然しながら、サンプルの大きさは、ビタビ検知器26が受取る前にFIRフィルタ24の利得によって変更される（補間器41は単位利得を有しているものと仮定する）。従って、この場合においては、ビタビ検知器26の入力における最大サンプル大きさはM×(FIR利得)に等しい。FIR利得=1でない限り、最大サンプル大きさはビタビ検知器26の入力においてMに等しいものではない。従って、回路50は、従来、FIRフィルタ24の係数からFIR利得を決定し、次いで増幅器の利得を1/(FIR利得)だけ減少させるために第二利得コンポーネントを発生する。従って、回路52は初期的利得調節を発生し、それが増幅器20の利得において対応する変化を発生させると、A/D変換器22の出力における最大サンプル大きさはM/(FIR利得)に等しく、且つビタビ検知器26の入力における最大サンプル大きさは、所望の最大サンプル大きさである{M/(FIR利得)}×(FIR利得)=Mと等しい。

【0020】図5は図2のプリアンブルシヌソイドの正の半周期の位相線図である。該位相線図は、第一及び第二フィルタ済サンプル56及び58が4分の1周期、即ち90°離れている場合（それらが、典型的に、読み取りチャネル39（図3）にある場合）、ピーク振幅A<sup>2</sup>=(第一フィルタ済サンプル)<sup>2</sup>+(第二フィルタ済サンプル)<sup>2</sup>であり、従ってA={((第一フィルタ済サンプル)<sup>2</sup>+(第二フィルタ済サンプル)<sup>2</sup>)}の平方根であることを示している。特に、第一サンプルが角度αだけ第一ゼロ交差点60から遅れているものと仮定する。従って、第一サンプル56の大きさはAsinαと等しい。更に、第一サンプル56は90°だけ第二サンプル58に先行しているので、第二サンプル58はαだけピーク62から遅れており且つ90°-αだけ第二ゼロ交差点64に先行している。従って、第二サンプル58の大きさはAsin(90°-α)=Acosαと等しい。更に、sin<sup>2</sup>α+cos<sup>2</sup>α=1であり、従ってA<sup>2</sup>sin<sup>2</sup>α+A<sup>2</sup>cos<sup>2</sup>α=A<sup>2</sup>(sin<sup>2</sup>α+cos<sup>2</sup>α)=A<sup>2</sup>=(第一フィルタ済サンプル56)<sup>2</sup>+(第二フィルタ済サンプル58)<sup>2</sup>、及びA={((第一フィルタ済サンプル56)<sup>2</sup>+(第二フィルタ済サンプル58)<sup>2</sup>)}の平方根である。従って、第一及び第二フィルタ済サンプル56及び58が90°又はほぼ90°だけ離隔している限り、これらのサンプルがプリアンブルシヌソイド上のどこに位置しているかに拘わらず、即ちサンプルクロック（不図示）とプリアンブルシヌソイドとの間の位相角とは無関係に、第一及び第二フィルタ済サンプル56及び58から振幅Aを計算することが可能である。

10

【0021】再度図4を参照すると、本発明の1実施例においては、回路48は第一利得コンポーネントの位相と独立した決定を行うために図5に関して上述した技術を使用している。この決定はサンプルクロックとプリアンブルシヌソイドとの間の位相に依存するものではないので、回路48はプリアンブルの始めにおいてこの決定を行うことが可能であり、且つ別の回路（不図示）が位相を決定することを待機することは必要ではない。このことはそうでない場合に必要であるよりもより短いプリアンブルとすることを可能としている。

20

【0022】特に、回路48は、図5に関連して上述したように、サンプルの最大、即ちピークの大きさを決定する。このピークの大きさから、回路48は、ビタビ検知器26（図3）への入力におけるピークの大きさが、その後に、上述した如く、所望のピークの大きさにより近いか又は等しいように、増幅器20の利得を変化させるために初期的利得調節の第一コンポーネント（成分）を発生する。例えば、所望のピークの大きさがMであり且つ決定されたピークの大きさが2Mである場合には、回路48は、しばらくの間第二コンポーネントの影響を無視して、それが増幅器20（図3）の利得を半分に減少させるように第一コンポーネントを発生する。勿論、上述した如く、回路50はA/Dサンプルによって経験されたポストサンプリング利得に対応する量だけ第一コンポーネントの影響をスケーリングするために第二コンポーネントを発生する。

30

40

【0023】図6は図5に示したプリアンブルシヌソイドの正の半周期の部分の直線近似の概略図である。この場合には、プリアンブルシヌソイドの正の半周期は三角形として近似してある。三角形に対して適用される公知の幾何学的原理によれば、プリアンブルシヌソイドが三角波である場合には、ピーク振幅A=B+C=第一フィルタ済サンプル56+第二フィルタ済サンプル58である。然しながら、第一及び第二サンプル56及び58はシヌソイドの点であり且つ三角波の点ではないので、A=B+Cであり、且つAの精度はサンプル56と58との間、即ちサンプルクロック（不図示）とプリアンブルシヌソイドとの間の位相に依存する。

50

【0024】再度図4を参照すると、本発明の幾つかの

実施例においては、回路48は第1利得コンポーネントの決定を行うために図5に関連して上述した直線近似技術を使用する。これらの実施例の各々において、回路48が振幅Aを決定すると、それは図4及び5に関連して上述した態様において初期的利得調節の第一コンポーネントを発生する。

【0025】これらの実施例のうちの最初のものにおいて、回路48は単に  $A = B + C$  を計算する。この計算は比較的不正確なものである場合があるが、回路48はこの計算を行うためにサンプルクロックとプリアンブルシヌソイドとの間の位相角を必要とするものではない。更に、Aに対する比較的不正確な値であっても、しばしば、利得決定回路46が初期的利得調節を発生しない場合と比較して、利得安定化時間を著しく減少させる初期的利得調節を発生することを可能とさせることができるのである。

【0026】これらの実施例の2番目のものにおいては、回路48がAの精度を増加させるためにサンプル56及び58の一方又は両方のスケーリングを行う。例えば、1つの適用例においては、回路48は、最初に、サンプル56及び58のうちのいずれが最も小さな大きさを有しているかを決定する。両方のサンプルの大きさが等しい場合には、回路48はいずれかのサンプルの大きさを最も小さいものとして選択することが可能である。

次いで、回路48はスケーリング係数、即ち  $(2 - SQ \ast$   
表 1

$\alpha'$	CF	$A = CF \times Raw\_A$
0-3	1.00	$A = Raw\_A$
5-13	0.95	$A = 0.95Raw\_A$
14-18	0.90	$A = 0.90Raw\_A$
19-28	0.95	$A = 0.95Raw\_A$
29-31	1.00	$A = Raw\_A$

【0029】回路48は、位相回路が  $\alpha'$  を計算している間に  $Raw\_A$  を計算することが可能であるので、この技術を使用してピークの大きさAを計算する回路48に対して時間上の犠牲は全く存在せず、従ってプリアンブルは、典型的に、図5に関連して上述した実施例及び図6に関連して上述した第一及び第二実施例に関して長くさせることは必要ではない。

【0030】図7は図4の回路48及び50の別の実施例の概略ブロック図である。この実施例においては、回路48及び50の各々は1つ又はそれ以上の夫々のルックアップメモリ（テーブル）を有している。特に、回路48は回路48に対して上述した計算技術のうちの1つに従って予め決定された多数の値を格納している。従って、回路48は第一及び第二フィルタ済サンプルの大きさに対応するこれらの値のうちの1つを検索し、且つこの値を初期的利得調節の第一コンポーネントとして発生器52へ供給する。同様に、回路50は、夫

\*RT(2) ÷ (SQRT(2)) = 0.414によって該最も小さいサンプルの大きさをスケーリングする。尚、SQRTは平方根の略号である。次いで、回路48はピークの大きさ  $A = (スケーリング係数) \times (最小サンプル大きさ) + 最大サンプル大きさ$  を計算する。この特定の技術はAに対して ± 10% 以内の精度を発生し、その場合に、該精度はA/D変換器22がサンプル56及び58を発生する時間期間中におけるサンプルクロックとプリアンブルシヌソイドとの間の位相角に依存する。

【0027】これらの実施例のうちの3番目のものにおいては、回路48は一方又は両方のサンプルをスケーリングし且つ第二実施例について上述した技術に従ってAに対する生の値 (Raw\_A) を計算し、次いでサンプルクロックとプリアンブルシヌソイドとの間の位相角の関数である相関係数CFでRaw\_Aをスケーリングする。例えば、1つの適用例においては、別の位相回路（不図示）がサンプルクロックとプリアンブルシヌソイドとの間の5ビット相対的位相角  $\alpha'$  を計算する。このような位相回路の例は、例えば、前述した米国特許出願第09/530,453及び第09/503,929号に記載されている。以下の表1は  $\alpha'$  の夫々の範囲に対してのCF及びピーク振幅Aの値を示している。

【0028】

【表1】

々、潜在的なポストサンプリング利得に対応する多数の所定の値を格納している。従って、回路50は、受取ったポストサンプリング利得情報に対応するこれらの値のうちの1つを検索し、且つこの値を初期的利得調節の第二コンポーネントとして発生器52へ供給する。1つの適用例においては、回路48及び50は、各々、それらのルックアップメモリを計算の夫々の部分に対する中間値を格納する夫々のセクションへ区画化し、次いでこれらの中間値から最終的な値を計算することが可能である。例えば、図4及び5を参照すると、回路48は（第一サンプル56）<sup>2</sup>の所定値を格納する第一セクションと、（第二サンプル58）<sup>2</sup>の所定値を格納する第二セクションと、これらの値から初期的利得調節の第一コンポーネントを計算する計算回路（不図示）とを有することが可能である。

【0031】この変形実施例の利点としては、それが、典型的に、上述した実施例よりも一層高速だということ

である。何故ならば、回路48及び50はこれらの値を計算する場合よりも、メモリ位置からより高速に所定値を検索することが可能だからである。逆に、この実施例の欠点としては、ルックアップメモリの寸法は、しばしば、回路48及び50を上述した実施例におけるよりも著しく大きなものとさせる場合があるということである。

【0032】図8は、本発明の1実施例に基づくディスクドライブ102を包含しているディスクドライブシステム100の概略ブロック図である。ディスクドライブ102は読み取り回路103を組込んでおり、該読み取り回路103は、増幅器20と、A/D変換器22と、FIRフィルタ24と、サンプル補間器41と、ビタビ検知器26と、図3の利得制御回路40とを有している。ディスクドライブ102は、典型的に結合型書込/読み取りヘッドである読み取りヘッド18と、書込信号を発生し且つヘッド104を書込信号で駆動する書込回路106と、書込データを書込回路106とインターフェース処理する書込制御器108とを有している。ディスクドライブ102は、又、ヘッド18からの読み取り信号を受取り且つ該読み取り信号からデータを回復する読み取り回路103を有しており、且つ読み取りデータを処理する読み取り制御器114を有している。ディスクドライブ102は、更に、例えば、各々が片側及び両側にデータを格納即ち記憶することが可能な1つ又はそれ以上のディスク16等のような格納(記憶)媒体を包含している。読み取り/書込ヘッド18はディスク16上に記憶されているデータを書込/読み取り、且つ可動支持アーム118へ接続されている。位置決めシステム120がボイスコイルモータ(VCM)122へ制御信号を供給し、該VCMは夫々のディスク16上の所望のデータに向かってヘッド18を半径方向に移動/位置を維持するためにアーム118を移動/位置を維持する。スピンドルモータ(SPM)124及びSPM制御回路126は、夫々、ディスク16を回転させ且つ適切な回転速度に維持する。

【0033】ディスクドライブシステム100は、更に、書込及び読み取り制御器108及び114を使用されているシステムに対して特定的なシステムバス132に対して夫々インターフェースするための書込及び読み取りインターフェースアダプタ128及び130を有している。典型的なシステムバスとしてはISA、PCI、S

-Bus、Nu-Bus等がある。システム100は、又は、典型的に、例えばランダムアクセスメモリ(RAM)134及びバス132に接続されている中央処理装置(CPU)136等のその他の装置を有している。

【0034】以上、本発明の具体的実施の態様について詳細に説明したが、本発明は、これら具体例にのみ制限されるべきものではなく、本発明の技術的範囲を逸脱することなしに種々の変形が可能であることは勿論である。例えば、図3、4、7の回路は個別の回路ブロックを有するものとして説明したが、これらのブロックの幾つか又は全ての機能は1個又はそれ以上のプロセッサによって実施することが可能である。

#### 【図面の簡単な説明】

【図1】 従来のディスクドライブ読み取りチャンネルを示した概略ブロック図。

【図2】 ディスクデータセクタのプリアンブルを読み取っている間に図1の読み取り増幅器によって発生されるシヌソイド即ち正弦曲線を示した概略図。

【図3】 本発明の1実施例に基づくディスクドライブ読み取りチャンネルを示した概略ブロック図。

【図4】 本発明の1実施例に基づく図3の初期的利得決定回路を示した概略ブロック図。

【図5】 本発明の1実施例に基づくプリアンブルシヌソイドの一部を示した位相線図。

【図6】 本発明の1実施例に基づくプリアンブルシヌソイドの直線近似を示した概略図。

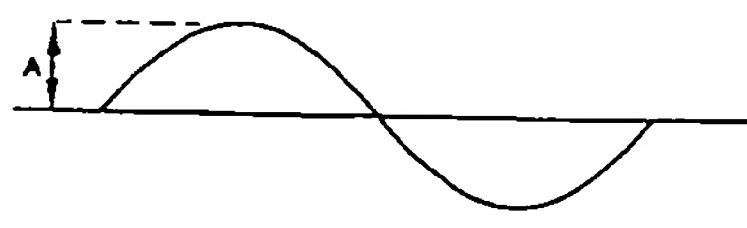
【図7】 本発明の1実施例に基づく図4の振幅をベースとした及びポストサンプリングをベースとした利得コンポーネント回路を夫々構成するルックアップメモリを示した概略ブロック図。

【図8】 本発明の1実施例に基づく図3の読み取りチャンネルの一部を組んだディスクドライブシステムを示した概略ブロック図。

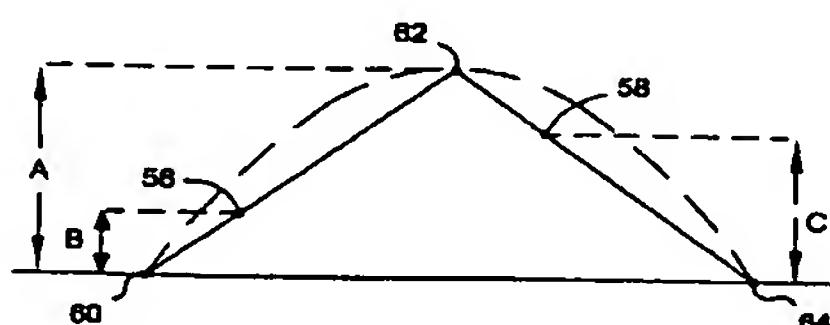
#### 【符号の説明】

- 24 FIRフィルタ
- 26 ビタビ検知器
- 34 読み取りチャンネル
- 36 初期的利得決定回路
- 38 D/A変換器
- 39 読み取りチャンネル
- 41 サンプル補間器

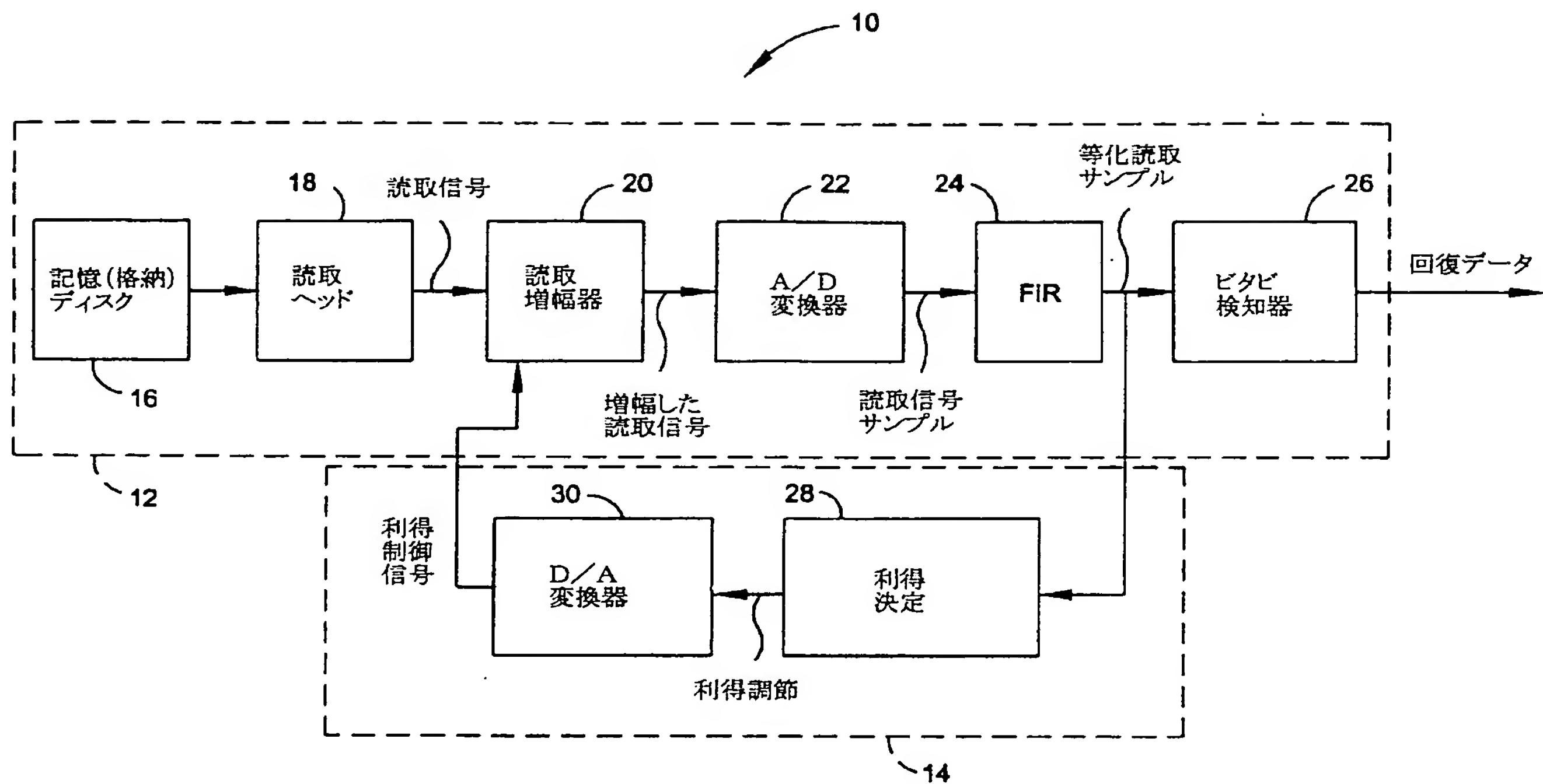
【図2】



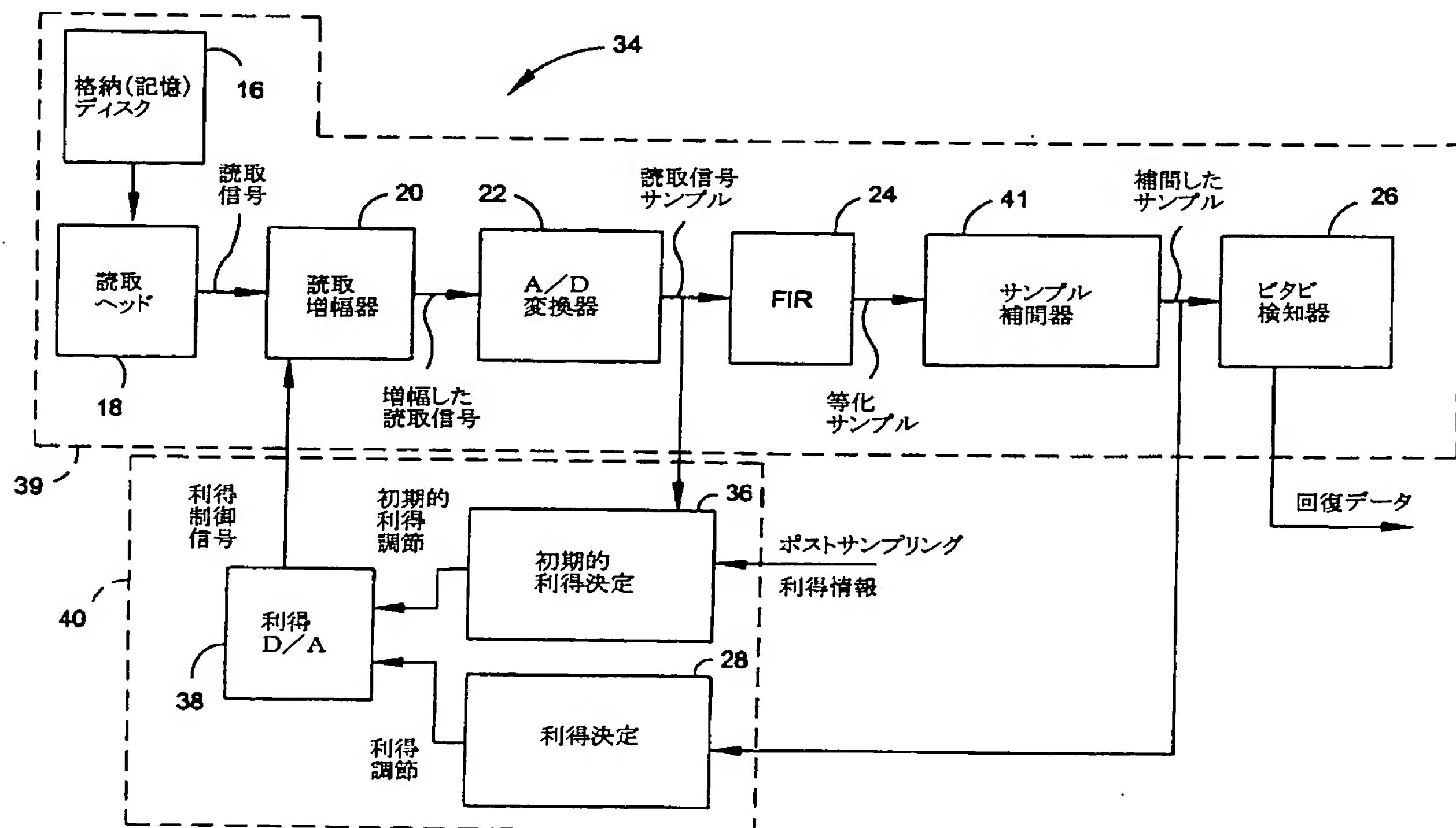
【図6】



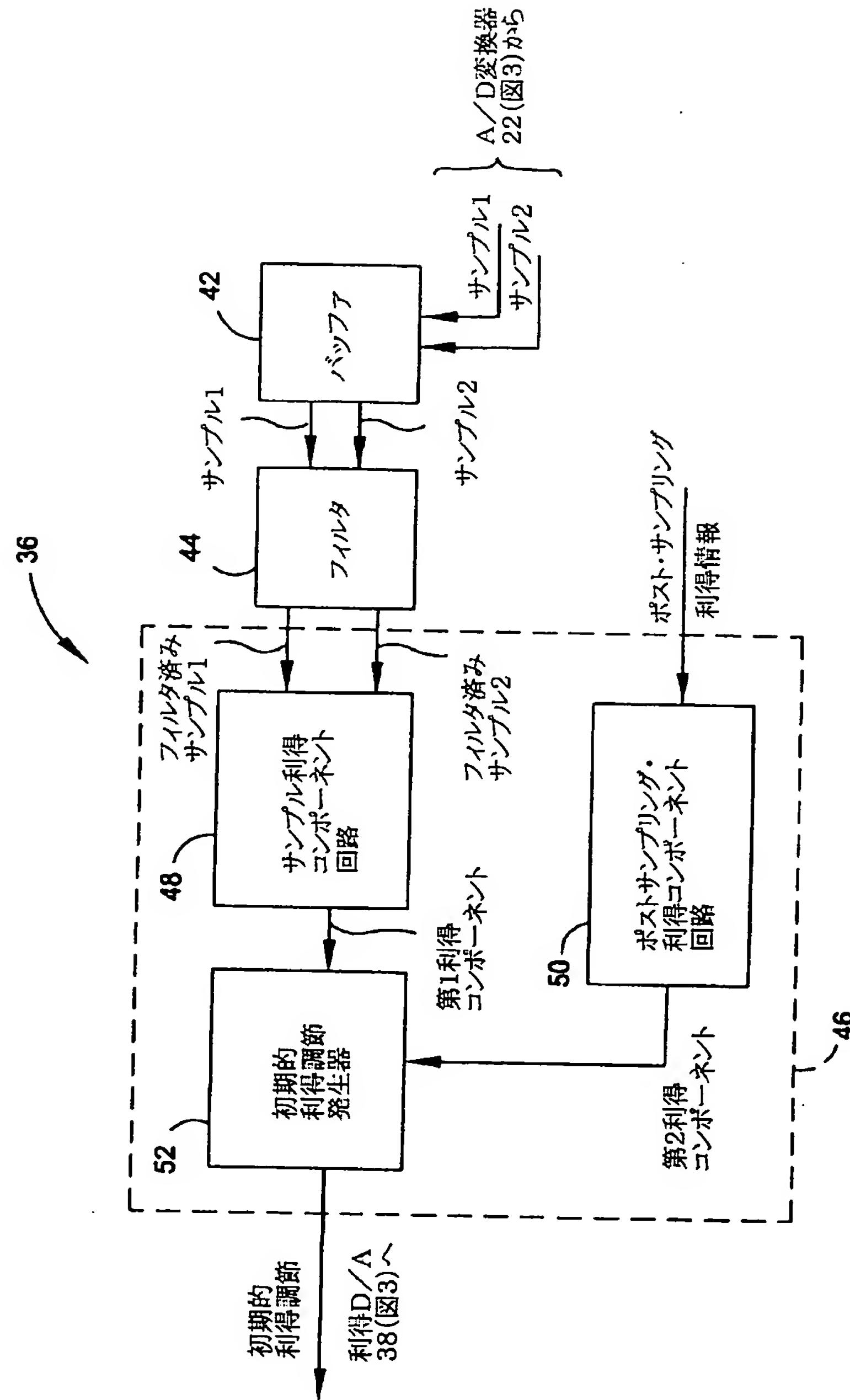
【図1】



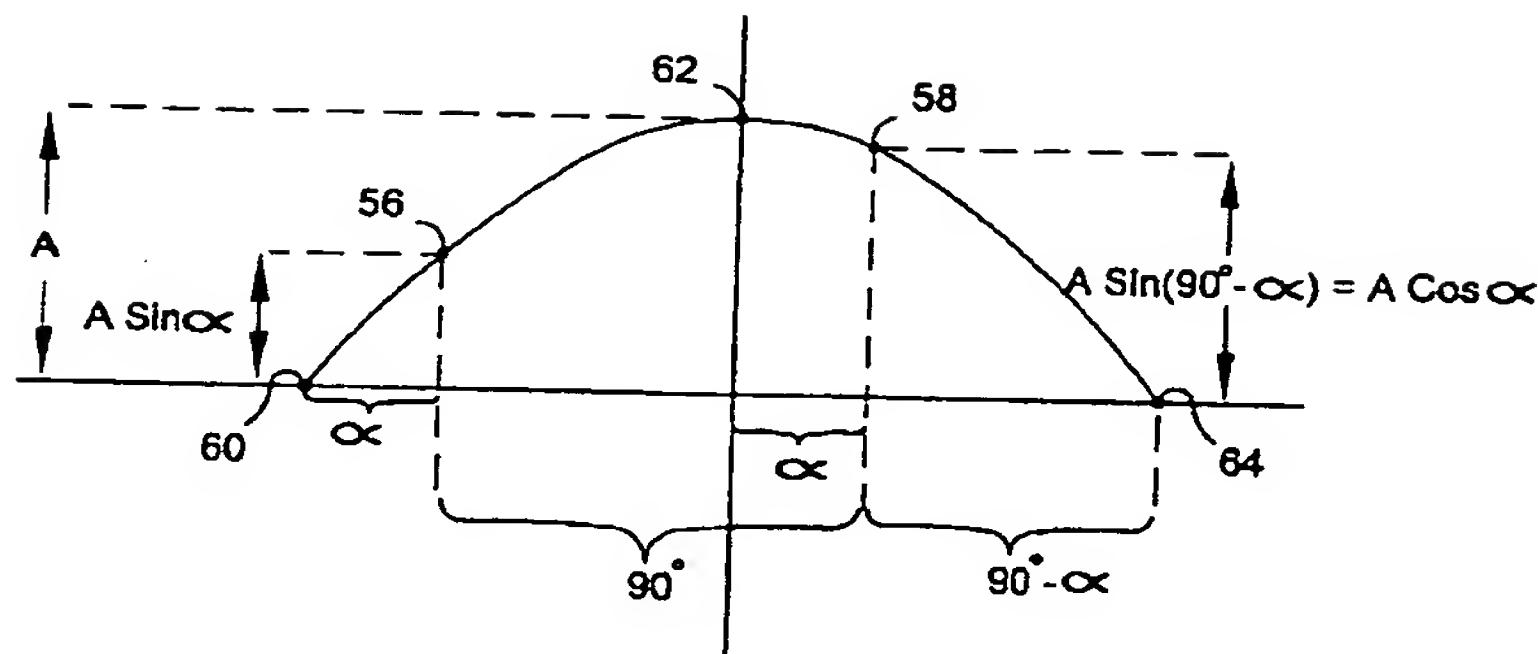
【図3】



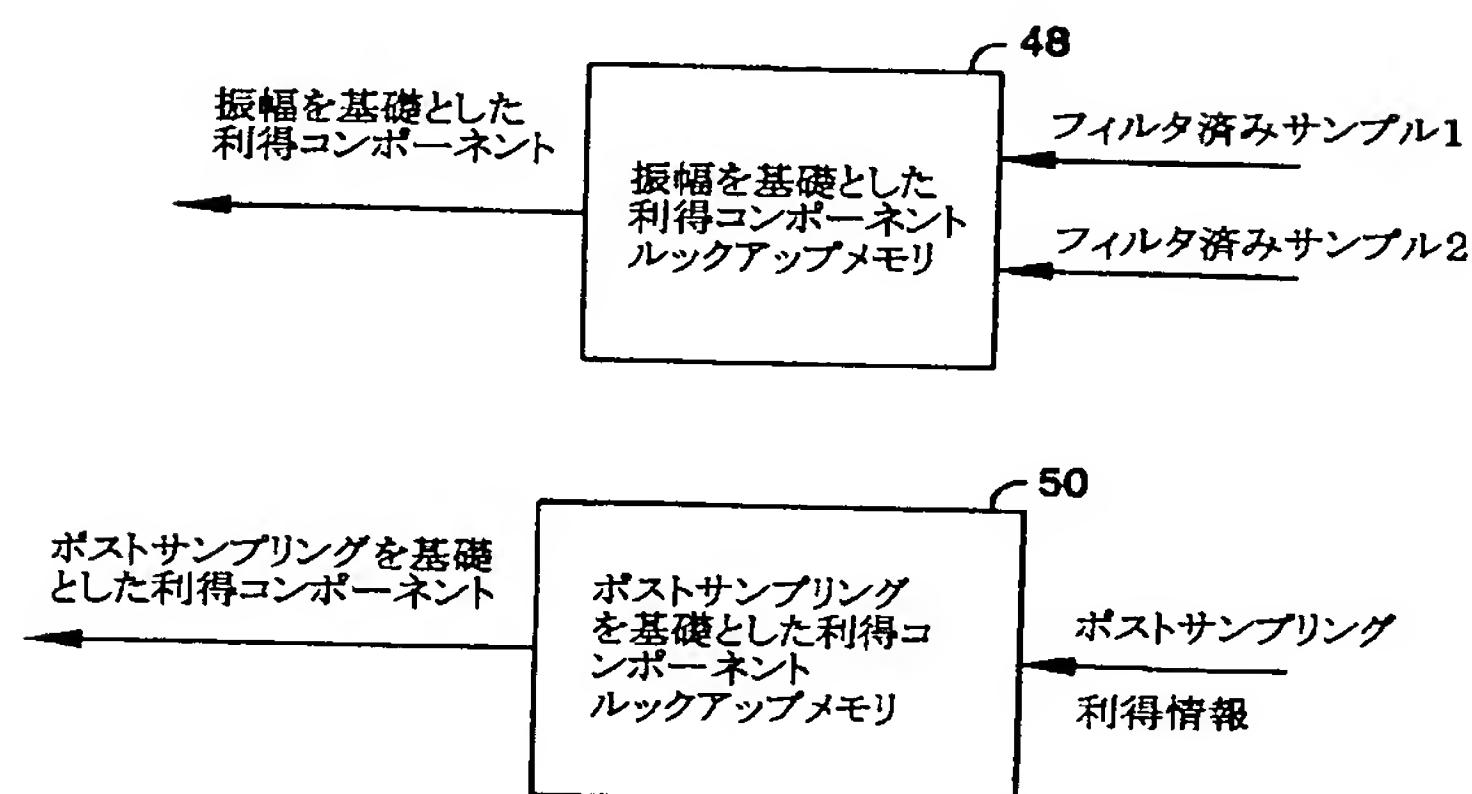
[图4]



【図5】



【図7】



【図8】

